

External storage apparatus having a circuit for selecting a communication protocol

Patent Number: ☐ EP0883083
Publication date: 1998-12-09
Inventor(s): KOBAYASHI TOSHIHARU (JP); KIKUCHI AKIHIRO (JP); OKAUE TAKUMI (JP)
Applicant(s): SONY CORP (JP)
Requested Patent: ☐ JP10334206
Application Number: EP19980304354 19980602
Priority Number(s): JP19970146915 19970604
IPC Classification: G06K19/07; G06F13/38
EC Classification: G06F13/38A2, G06K19/07
Equivalents: CN1201235, JP3104646B2, ☐ US6088755
Cited Documents: US5420412; US5581708; EP0513507

Abstract

The present invention enables connection and a high-speed access to a plurality of electronic apparatuses having different types of built-in interfaces. The present invention provides an external storage apparatus including: storage means 22; an interface controller A21 and an interface controller B24, each having a different type of built-in interface control block for carrying out a data writing and/or reading into/from the storage means 22; and connection means 26 for selecting and connecting one of the interface controller A21 and the interface controller B24 to the electronic apparatus. It is preferable that the connection means 26 be constructed so as to select one of the interface controller A21 and the

interface controller B24 according to a control from the electronic apparatus.



Data supplied from the esp@cenet database - 12

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-334206

(43) 公開日 平成10年(1998)12月18日

(51) Int.Cl. ⁹	識別記号	F I
G 0 6 K 19/077		G 0 6 K 19/00 L
G 0 6 F 3/08		G 0 6 F 3/08 C
	13/12 3 4 0	13/12 3 4 0 D
G 0 6 K 17/00		G 0 6 K 17/00 C
19/07		19/00 N

審査請求 有 請求項の数 2 O L (全 6 頁)

(21) 出願番号 特願平9-146915

(22) 出願日 平成9年(1997)6月4日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 小林 稔治

東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

(72) 発明者 菊地 章浩

東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

(72) 発明者 岡上 拓己

東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

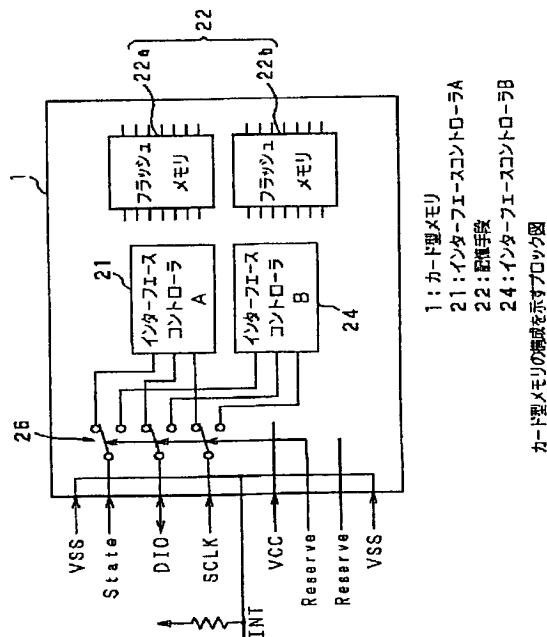
(74) 代理人 弁理士 小池 晃 (外2名)

(54) 【発明の名称】 外部記憶装置

(57) 【要約】

【課題】 異なる種類のインターフェースを内蔵する複数の電子機器に対して交換用アダプタを必要とすることなく接続可能とし、高速アクセスを可能とする。

【解決手段】 記憶手段22と上記記憶手段22に対してデータの書き込み及び／又は読み出しを行う異なった種類のインターフェース制御部を内蔵するインターフェースコントローラA21及びインターフェースコントローラB24を有し、上記インターフェースコントローラA21或いはインターフェースコントローラB24の中の何れか1つを選択して電子機器と接続する接続手段26を有するようにする。なお、上記接続手段26が、電子機器からの制御によって上記インターフェースコントローラA21或いはインターフェースコントローラB24の中の何れか1つを選択するようになっていることが好ましい。



【特許請求の範囲】

【請求項1】 電子機器からのデータを記憶する外部記憶装置において、
記憶手段と、

上記記憶手段に対してデータの書き込み及び／又は読み出しを行う複数種のインターフェース制御部と、
上記複数種のインターフェース制御部の中の何れか1つを選択して上記電子機器と接続する接続手段とを有することを特徴とする外部記憶装置。

【請求項2】 上記接続手段が、電子機器からの制御によって複数種のインターフェース制御部の中の何れか1つを選択するようになされていることを特徴とする請求項1記載の外部記憶装置。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 本発明は、電子機器からのデータを記憶する外部記憶装置に関する。詳しくは複数種のインターフェース制御部を内蔵させることにより、インターフェース制御部の種類に関係なく高速アクセスが可能となされる外部記憶装置に係わるものである。

【0002】

【従来の技術】 従来より、例えばコンピュータ等の電子機器を主記憶装置とした場合に、この主記憶装置の容量の不足を補う外部記憶装置が使用されている。この外部記憶装置としては、磁気テープ、磁気ディスク、光磁気ディスク、紙テープ、カード型メモリ等が挙げられる。この中でもカード型メモリは転送レートが比較的高速であることから広く使用されている。

【0003】

【発明が解決しようとする課題】 上記カード型メモリは、記憶手段とこれに対しデータの書き込みや読み出しを行うインターフェース制御部を内蔵しており、このインターフェース制御部を主記憶装置となる電子機器内のインターフェースと接続することにより、上記電子機器の外部記憶装置として機能することとなる。

【0004】 ところが、電子機器内のインターフェースとカード型メモリ内のインターフェース制御部が制御可能なインターフェースの種類が異なる場合、電子機器からカード型メモリに対してデータの書き込み及び／又は読み出しを直接行うことができない。

【0005】 そこで、このような場合には、図4に示すように、所定のインターフェース制御部を内蔵するインターフェースコントローラC51と例えばフラッシュメモリ52a、52b等の複数のメモリよりなる記憶手段52が内蔵されてなるカード型メモリ53と図示しない電子機器間とを変換用アダプタ54を介して接続する必要がある。

【0006】 この変換用アダプタ54は、電子機器内のインターフェースを制御可能なインターフェース制御部を内蔵するインターフェースコントローラD56と上記

インターフェース制御部とカード型メモリ53内のインターフェース制御部とを適合させるような例えばシリアルインターフェース57を内蔵してなる。

【0007】 しかしながら、このように、変換用アダプタ54を使用すると、電子機器からカード型メモリ53内のフラッシュメモリ52a、52bに到達するまでにインターフェースによる変換処理が必要となることから、アクセス時間が長くなってしまおうという不都合が生じる。

【0008】 そこで、本発明は、上述の実情に鑑みて提案されるものであって、異なる種類のインターフェースを内蔵する複数の電子機器に対して変換用アダプタを必要とすることなく接続可能であり、高速アクセスが可能である外部記憶装置を提供することを目的とする。

【0009】

【課題を解決するための手段】 上述の目的を達成するために、本発明に係る外部記憶装置は、電子機器からのデータを記憶するものであり、記憶手段と上記記憶手段に対してデータの書き込み及び／又は読み出しを行う複数種のインターフェース制御部とを有し、上記複数種のインターフェース制御部の中の何れか1つを選択して上記電子機器と接続する接続手段を有することを特徴とするものである。

【0010】 なお、本発明の外部記憶装置においては、上記接続手段が、電子機器からの制御によって複数種のインターフェース制御部の中の何れか1つを選択するようになされていることが好ましい。

【0011】 本発明の外部記憶装置においては、記憶手段と上記記憶手段に対してデータの書き込み及び／又は読み出しを行う複数種のインターフェース制御部とを有し、上記複数種のインターフェース制御部の中の何れか1つを選択して電子機器と接続する接続手段を有していることから、異なった種類のインターフェースを内蔵する複数の電子機器に対して、アダプターを介することなく接続される。

【0012】

【発明の実施の形態】 以下、本発明の実施の形態を図面を参照しながら説明する。なお、ここでは本発明をカード型メモリに適用した例について述べる。

【0013】 すなわち、本例のカード型メモリは、例えばコンピュータや静止画像撮像装置、音響機器、映像機器といった図示しない電子機器からのデータを記憶するものである。そして、図1に示すように、本例のカード型メモリ1は、例えば合成樹脂により平面形状が長方形とされる薄肉のカード状に成形されてなる。

【0014】 さらに、本例のカード型メモリ1においては、シリアルインターフェイスを制御するインターフェース制御部を採用して外部端子2の数を減らしたことにより、カード型メモリ1の小型化が図られており、短辺方向の長さが長辺方向の長さの1/2以下とされてい

る。

【0015】上記カード型メモリ1においては、その長辺方向の一端側に、カード型メモリ1の相対向する主面のうちの一方の主面1aに臨んで開口する複数の凹部3が形成されており、この凹部3の底面に露呈するように外部端子2が形成されている。

【0016】なお、本例のカード型メモリ1においては、上述したように、シリアルインターフェイスを制御するインターフェース制御部を採用したことにより、外部端子2の数が9本とされている。そこで、凹部3を3個形成することとし、各凹部3の底面に外部端子2を3本ずつ形成するようにしている。

【0017】すなわち、本例のカード型メモリ1においては、上記外部端子2が形成される一端側から長辺方向に電子機器に挿入されて、電子機器に対して電氣的に接続されることとなる。

【0018】また、上記カード型メモリ1においては、上記外部端子2が形成される一端とは反対側の端部に、誤消去防止部材4が取り付けられている。この誤消去防止部材4は、カード型メモリ1の内部に収容された後述する図示しない誤消去防止スイッチに係合されており、カード型メモリ1の挿入方向である長辺方向と直交する短辺方向にスライド操作されることにより、誤消去防止スイッチのON/OFFの切り換えが行われる。

【0019】さらに、カード型メモリ1の挿入方向である長辺方向と平行な一方の側縁1bには、カード型メモリ1が電子機器に装着された際に、図示しない電子機器のロック用凸部に係合されてカード型メモリ1の脱落を防止するロック用切欠部5が形成されている。

【0020】さらにまた、カード型メモリ1の外部端子2が形成される一端側の側端部には、挿入方向である長辺方向に対して斜めに切り欠かれた切欠部6が形成され、カード型メモリ1の誤挿入が防止されるようになっている。

【0021】そして、本例のカード型メモリ1には、図2に示すようにインターフェースコントローラA21とインターフェースコントローラB24と、例えば読み出し専用のメモリであるROM(Read-Only Memory)の一種であり、書き込みも可能とされるフラッシュメモリ22a、22bといった複数のメモリよりなる記憶手段22が内蔵され、インターフェースコントローラA21及びインターフェースコントローラB24が各フラッシュメモリ22a、22bにそれぞれ接続されている。

【0022】上記カード型メモリ1においては特に、インターフェースコントローラA21が所定のシリアルインターフェースを制御する所定のインターフェース制御部を内蔵しており、インターフェースコントローラB24は上記インターフェース制御部とは異なる種類、例えばUSB(Universal Serial Bu

s)といったシリアルインターフェースを制御するインターフェース制御部を内蔵している。

【0023】さらに、上記カード型メモリ1においては、上記インターフェースコントローラA21とインターフェースコントローラB24の中の何れか1つを選択して前述の図示しない電子機器と接続する接続手段26を有している。

【0024】なお、上記接続手段26は、図示しない電子機器からの制御によってインターフェースコントローラA21の選択を行うようになっている。

【0025】具体的には、以下のようにすれば良い。すなわち、本例のカード型メモリ1においては、上述のようにシリアルインターフェースを制御するシリアルインターフェース制御部を採用していることから、電子機器からのState(ステータス信号)、DIO(データイン アウト)、SCLK(シリアルクロック)、予備とされる2本の信号線の9本の信号線を有しており、これらがそれぞれ外部端子に対応している。そこで、電子機器からのState(ステータス信号)、DIO(データ イン アウト)、SCLK(シリアルクロック)といった信号をインターフェースコントローラA21或いはインターフェースコントローラB24のうちの1つを選択して供給するスイッチを信号線毎に設けて接続手段26とする。そして、電子機器からの信号線のうち使用されていない予備の2本の信号線のうちの1本をスイッチ切り替え用の制御線とし、インターフェースコントローラA21或いはインターフェースコントローラB24のどちらかに切り替えるかを指示する制御信号により切り替えるようにすれば良い。

【0026】ここで、上記カード型メモリ1のインターフェースコントローラA21或いはインターフェースコントローラB24は以下に示すように構成されている。なお、ここでは、インターフェースコントローラA21を例にとって図3に示す。ただし、図3中においては、インターフェースコントローラA21を拡大して示すこととする。

【0027】インターフェースコントローラA21は、図示しない電子機器から供給された信号(データ)を記憶手段22に書き込む前に、誤消去防止スイッチ43が記録可/記録不可の何れに設定されているかを判断して、記録可に設定されているときのみデータを記憶手段22に書き込むようになっている。

【0028】ここで、インターフェースコントローラA21は、具体的には、シリアル/パラレル・パラレル/シリアル・インターフェース・シーケンサ(以下、S/P&P/Sシーケンサという。)31と、ページバッファ32と、フラッシュ・インターフェース・シーケンサ(以下、フラッシュI/Fシーケンサという。)33と、誤り訂正の処理を行うECCエンコーダ/デコーダ34と、所定の制御コマンドを発生するコマンド・ジェ

ネレータ35と、コンフィグレーションROM (Read Only Memory) 36と、各回路にクロックを供給する発振器37とを備える。

【0029】S/P&P/Sシーケンサ31は、State (ステータス信号)、DIO (データ イン アウト)、SCLK (シリアルクロック) の信号線を介して、電子機器のシリアルインターフェースに図示しない接続手段により選択的に接続される。従って、S/P&P/Sシーケンサ31には、電子機器からState (ステータス信号) やSCLK (シリアルクロック) や制御データが供給される。

【0030】そして、S/P&P/Sシーケンサ31は、電子機器からDIO (データ イン アウト) の信号線を介して供給されるシリアルデータを上記SCLK (シリアルクロック) の信号線を介して供給されるシリアルクロックに同期してパラレルデータに変換する。S/P&P/Sシーケンサ31は、パラレルに変換されたデータの内、例えば制御データをコマンド・ジェネレータ35に供給し、他のデータをページバッファ32に供給する。

【0031】すなわち、上記S/P&P/Sシーケンサ31とコマンド・ジェネレータ35が所定のインターフェース制御部に相当することとなる。

【0032】ページバッファ32は、S/P&P/Sシーケンサ31から供給されるデータを1ページ (=512バイト) 毎に記憶するバッファメモリである。ページバッファ32に記憶されたデータは、ECCエンコード/デコード34によって誤り訂正符号が付けられる。ページバッファ32は、誤り訂正符号の付けられた1ページのデータを、フラッシュI/Fシーケンサ33を介して、フラッシュメモリ22a, 22bに供給する。従って、フラッシュメモリ22a, 22bには、電子機器からの所定のデータが書き込まれるようになっている。

【0033】また、フラッシュメモリ22a, 22bから読み出されたデータは、フラッシュI/Fシーケンサ33を介してページバッファ32に供給される。ページバッファ32は、フラッシュI/Fシーケンサ33からのデータを記憶する。このとき、ECCエンコード/デコード34は、ページバッファ32に記憶されているデータに付加されている誤り訂正符号に基づいて誤り訂正処理を施す。そして、ページバッファ32は、誤り訂正処理済みのデータを1ページ毎に読み出して、このデータをS/P&P/Sシーケンサ31に供給する。そして、S/P&P/Sシーケンサ31は、ページバッファ32から供給されるパラレルのデータをシリアルデータに変換して上述の電子機器に送信する。

【0034】コマンド・ジェネレータ35は、S/P&P/Sシーケンサ31からの制御データに基づいて制御コマンドを発生する。例えば、コマンド・ジェネレータ35は、カード型メモリ1の動作状態をみるためのリー

ド・ステータス・レジスタ命令を受けると、誤消去防止スイッチ43の設定内容を判断し、その設定内容に応じてデータの書き込みを行うか否かを判断する。

【0035】また、コマンド・ジェネレータ35は、記憶手段22にデータを書き込んでいたり又は記憶手段22からデータを読み出している状態を示すビジー (busy) ・コマンドを発生し、このコマンドをS/P&P/Sシーケンサ31を介して電子機器に送信する。そして、コマンド・ジェネレータ35は、データの書き込み又はデータの読出しが終了すると、その終了を示すレディ (ready) ・コマンドを発生して、これをS/P&P/Sシーケンサ31を介して電子機器に送信する。

【0036】コンフィグレーションROM36には、カード型メモリ1のバージョン情報や初期設定値の情報が記憶されている。従って、電子機器とカード型メモリ1が接続されると、コマンド・ジェネレータ35は、最初にS/P&P/Sシーケンサ31を介してコンフィグレーションROM36から上記バージョン情報等を読み出して、この情報に基づいて所定のコマンドを発生することによってカード型メモリ1の所定の初期設定を行うようになっている。

【0037】なお、上述の例においては、インターフェースコントローラA21の例を示したが、インターフェースコントローラB24も上記インターフェースコントローラA21と略同様の構成を有するものであり、主にコマンドジェネレーターが異なる構成とされている。

【0038】すなわち、本例のカード型メモリ1においては、電子機器とインターフェースコントローラA21及びインターフェースコントローラB24を選択的に接続して上記のような動作が行われることとなる。

【0039】また、上述の例においては、シリアルインターフェースに対応した例について述べたが、本発明を適用した外部記憶装置がパラレルインターフェースにも対応可能であることは言うまでもない。

【0040】さらに、上述の例においては、メモリとしてフラッシュメモリを挙げたが、本発明を適用した外部記憶装置に読み出し及び書き込みが可能なRAM (Random Access Memory) やフラッシュメモリ以外のROMが使用可能であることも言うまでもない。

【0041】本例のカード型メモリにおいては、異なった種類のインターフェース制御部を内蔵する2つのインターフェースコントローラが記憶手段にそれぞれ接続されており、上記2つのインターフェースコントローラの中の何れか1つを選択して電子機器と接続する接続手段を有していることから、このカード型メモリに内蔵される2種類のインターフェース制御部の中どちらかに対応するインターフェースを有する電子機器であれば、アダプターを介することなく接続可能である。

【0042】すなわち、例えば、静止画像撮像装置、音

響機器、映像機器等の電子機器により、本例のカード型メモリにデータを書き込み、上記カード型メモリを例えばコンピュータに接続してコンピュータ内に同データを読み出すといった作業を変換用アダプタを使用することなく行うことが可能となる。

【0043】さらには、本例のカード型メモリにおいては、2種類のインターフェース制御部を有する例について述べたが、本発明を適用した外部記憶装置においては、3種類以上のインターフェース制御部を有することも可能であり、この場合、さらに多くの電子機器間でのデータの移動等が容易となされる。

【0044】従って、本発明を適用した外部記憶装置においては、異なった種類のインターフェースを内蔵する複数の電子機器に対して、アダプターを介することなく接続することが可能であり、電子機器と外部記憶装置内の記憶手段間のインターフェースによる変換処理がこれらを直接接続した場合と同様となることから、外部記憶装置内のインターフェース制御部の種類に関係なく高速アクセスが可能となる。

【0045】

【発明の効果】上述のように、本発明に係る外部記憶装置においては、記憶手段と上記記憶手段に対してデータ

の書き込み及び／又は読み出しを行う複数種のインターフェース制御部とを有し、上記複数種のインターフェース制御部の中の何れか1つを選択して電子機器と接続する接続手段を有しており、異なった種類のインターフェースを内蔵する複数の電子機器に対して、アダプターを介することなく接続可能であることから、外部記憶装置内のインターフェース制御部の種類に関係なく高速アクセスが可能である。

【図面の簡単な説明】

【図1】本発明を適用したカード型メモリを示す斜視図である。

【図2】本発明を適用したカード型メモリの構成を示すブロック図である。

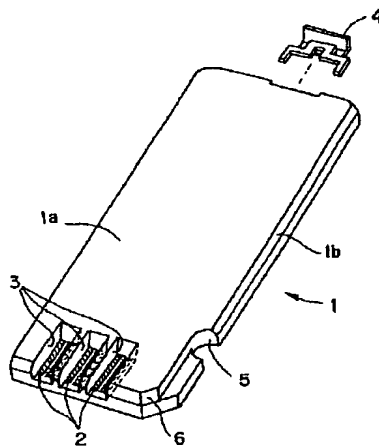
【図3】本発明を適用したカード型メモリのインターフェースコントローラ近傍の構成を拡大して示すブロック図である。

【図4】従来のカード型メモリとアダプタを示すブロック図である。

【符号の説明】

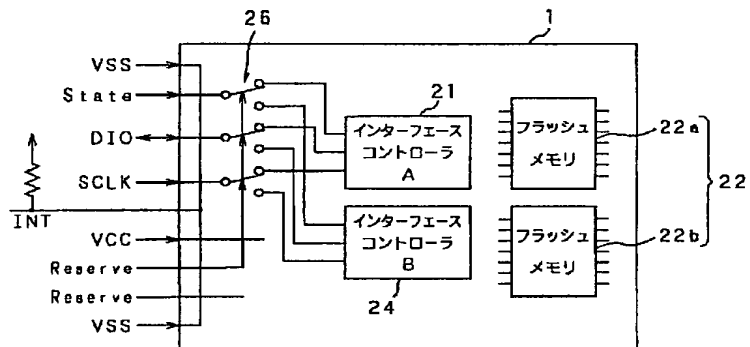
1 カード型メモリ、21 インターフェースコントローラA、22 記憶手段、24 インターフェースコントローラB

【図1】



カード型メモリを示す斜視図

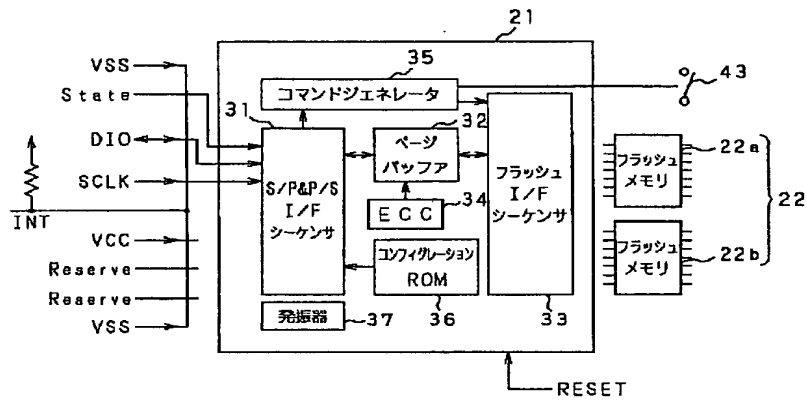
【図2】



1 : カード型メモリ
21 : インターフェースコントローラA
22 : 記憶手段
24 : インターフェースコントローラB

カード型メモリの構成を示すブロック図

【図3】



インターフェースコントローラ近傍の構成を示すブロック図

【図4】

